第3章

Spartan-3ファミリの機能

―― 基本論理ブロックとメモリ，乗算器，クロック管理機能

近藤 渉

ここでは，付属FPGA基板に実装されているFPGA「Spartan-3ファミリ」の特徴について解説する．Spartan-3ファミリは，基本論理ブロック，I/Oブロックのほか，メモリ・ブロック，乗算器ブロック，クロック管理ブロックなどを持つ．それぞれのブロックの特徴や使いかたを説明する．（編集部）

米国Xilinx社の「Spartan-3」ファミリは，コストを重視する民生機器のような量産製品に対応するために開発されたFPGA（field programmable gate array）です．**表1**に示すように，8種類の製品で構成されています．

システム・ゲート数は5万～500万ゲートです．論理回路ブロックのほか，メモリ・ブロック，DLL（delay locked loop）を含んだDCM（Digital Clock Management）と呼ばれるクロック管理ブロック，乗算器ブロックを持ちます．また，さまざまなI/O規格に対応しています．これらの機能を活用することで，ボード・レベルのコスト削減が可能になります．

本稿では，Spartan-3が持つ機能とその使いかたについて解説します．

1. Spartan-3のアーキテクチャ

Spartan-3ファミリは，90nmプロセス技術と300mmウェハによって製造され，**図1**に示すように，おもに以下の五つの基本的な機能から構成されています．

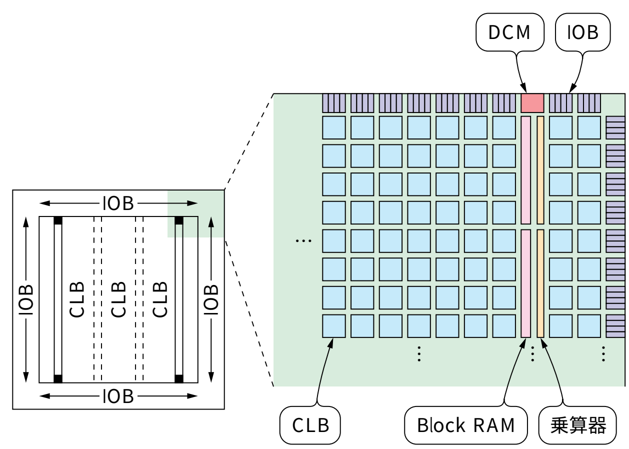


図1 Spartan-3ファミリの構造
XC3S200からXC3S2000までの構造を示している．XC3S4000およびXC3S5000では左の図にある点線の列の部分もメモリ・ブロック（Block RAM）になる．XC3S50ではBlock RAMは1列になる．

表1 Spartan-3ファミリの概要

型 名	システム・ゲート	ロジック・セル	CLBアレイ（1CLB＝4スライス）			分散RAM（ビット）	Block RAM（ビット）	乗算器	DCM数	最大ユーザI/O数	最大差動I/O数	パッケージ
			ロウ	カラム	総数							
XC3S50	5万	1,728	16	12	192	12K	72K	4	2	124	56	VQ100，TQ144，PQ208
XC3S200	20万	4,320	24	20	480	30K	216K	12	4	173	76	VQ100，TQ144，PQ208
XC3S400	40万	8,064	32	28	896	56K	288K	16	4	264	116	TQ144，PQ208，FT256
XC3S1000	100万	17,280	48	40	1,920	120K	432K	24	4	391	175	FT256，FG320，FG456，FG676
XC3S1500	150万	29,952	64	52	3,328	208K	576K	32	4	487	221	FG320，FG456，FG676
XC3S2000	200万	46,080	80	64	5,120	320K	720K	40	4	565	270	FG676，FG900
XC3S4000	400万	62,208	96	72	6,912	432K	1,728K	96	4	712	312	FG900，FG1156
XC3S5000	500万	74,880	104	80	8,320	520K	1,872K	104	4	784	344	FG900，FG1156

- CLB（Configurable Logic Block）
- IOB（I/O ブロック）
- 内蔵メモリ・ブロック（Block RAM）
- 乗算器
- DCM

IOBが，規則的に並んだCLBのアレイを取り囲んでいます．本誌に付属している「XC3S50」の場合は，このアレイに1列のBlock RAMと18ビット×18ビット乗算器が組み込まれています．XC3S200からXC3S2000までのデバイスでは，Block RAMが2列の構成になります．そしてXC3S4000とXC3S5000のデバイスでは，Block RAMが4列の構成になります．各列は複数の18KビットのBlock RAMで構成され，それぞれを専用の乗算器に接続可能です．DCMは外側のBlock RAMの末端に配置されています．

Spartan-3ファミリは，五つの機能のすべてを相互接続する配線リソースと，スイッチ・マトリックスと呼ばれる切り替え器を使い，各機能間で信号を伝送します．

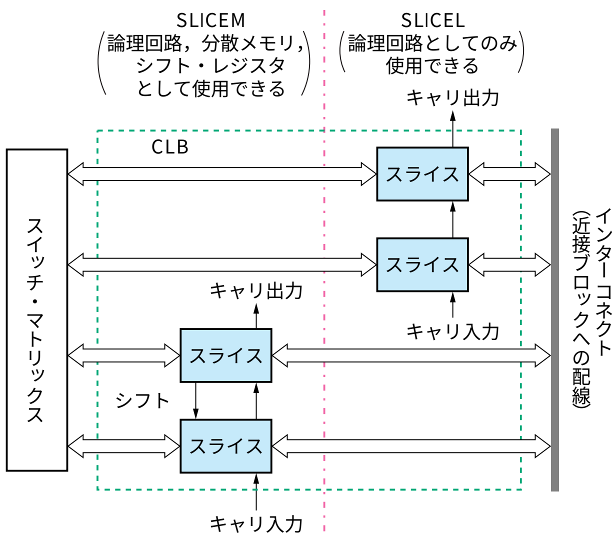


図2　CLBの構造

一つのCLBは，四つのスライス（Slice）で構成される．左側のスライスは，論理回路以外の機能としても使用できる．

● CLBで基本的な順序回路や組み合わせ回路を実現

CLBは，順序回路や組み合わせ回路を実現するための基本的な論理ブロックです．図2に示すように，一つのCLBは四つのスライス（Slice）で構成されています．それぞれのスライスはインターコネクトと呼ばれる配線リソースにつながっており，それを通してCLBどうしが接続されています．

CLB内の四つのスライスは，二つのペアに分割されます．それぞれのスライス間は，キャリ・チェーンで接続されています．左側のスライスはSLICEMと呼ばれており，論理回路以外の機能としても使用可能です．右側のスライスはSLICELと呼ばれており，論理回路だけになります．

図3に示すように，各スライスは，二つのLUT（look-up

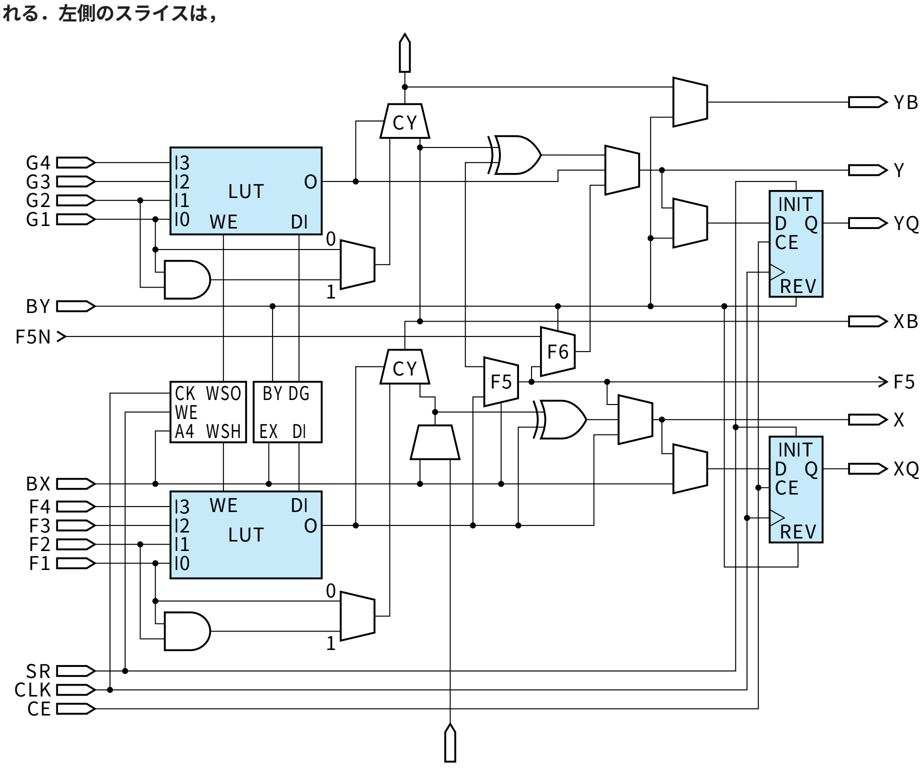


図3
スライスの構造

二つのLUT（look-up table），キャリ・ロジック，シーケンシャル・エレメント（フリップフロップなど），マルチプレクサ（MUX）で構成される．

table）やキャリ・ロジック，シーケンシャル・エレメント（フリップフロップなど），マルチプレクサ（MUX）で構成されています．

LUTには，組み合わせ回路が格納されます．実現できる回路は，複雑さではなく，入力数によって制限されます．図3にあるように，Spartan-3ファミリの場合，一つのLUTで最大4入力1出力の組み合わせ回路を実現することができます．このLUTは，ファンクション・ジェネレータ（FG）と呼ばれることがあります．LUTの中を変更することで，さまざまな回路を作成できます．信号一つのLUTを通るときの遅延時間は，どのような回路であっても一定になります．

CLBの右側のSLICELでは，FGの機能しか使用することができませんが，左側のSLICEMは，分散RAM（ディストリビューテッドRAM）やSRL16というシフト・レジスタとして使用することができます．

分散RAMとして使用した場合，一つのLUTに16ビットのデータを格納できます．また，左側の複数のLUTをさまざまな方法で組み合わせることで，16ビットよりも大きいデータを格納できるようになります．二つのそれぞれのデータ線からメモリ・アクセスを可能にするため，デュアルポート・オプションを使用して，二つのLUTを組み合わせます．分散RAMオプションを使用すると，FPGAのコンフィグレーション中に，データを使用してメモリをプリロードできます．

もう一つの機能として，左側のスライスの各LUTを16ビットのシフト・レジスタ（SRL）として使用することもできます．さまざまなアプリケーションでシフト・レジスタがふんだんに使われますが，このLUTを使えば，通常のシーケンシャル・エレメントを使用するよりも少ないリソースでシフト・レジスタを作成できます．シフト・レジスタとして使用した場合，シリアル・データの1～16クロック・サイクルのどこにでもLUTで遅延を付加できます．各CLBの左側の四つのスライスのLUTを一つに組み合わせることによって，一つのCLBで最大32クロック・サイクルの遅延を付加できます．大規模なシフト・レジスタを実現するには，SHIFTINおよびSHIFTOUTでLUTをカスケードに接続します．二つ以上のCLBに含まれるシフト・レジスタを組み合わせることもできます．ここで付加された遅延は，データのパイプライン処理を同時に実行するために使用されます．

● メモリは２種類ある

Spartan-3ファミリでは，2種類のメモリを使用することができます．一つは設定可能な18Kビット同期メモリ・ブロックとして使用できるエンベデットBlock RAMで，もう一つはLUTをメモリとして使用する分散RAMです．

Block RAMは，分散RAMよりも大量のデータを格納できます．また一方で，データパスなどでバッファさせたい少量のデータ，もしくは高速にアクセスさせたい少量のデータの格納にも適しています．

1）エンベデッドBlock RAM

すべてのSpartan-3デバイスは，縦の列にBlock RAMを配置しており，デバイスの大きさにより，その数が変わります．本誌付属のXC3S50では，1列分のBlock RAMが配置されています．1列には四つのBlock RAMがあります．各Block RAMは，18,432（18K）ビットの高速SRAMで構成されているので，最大で73,728（72K）ビットのデー

3

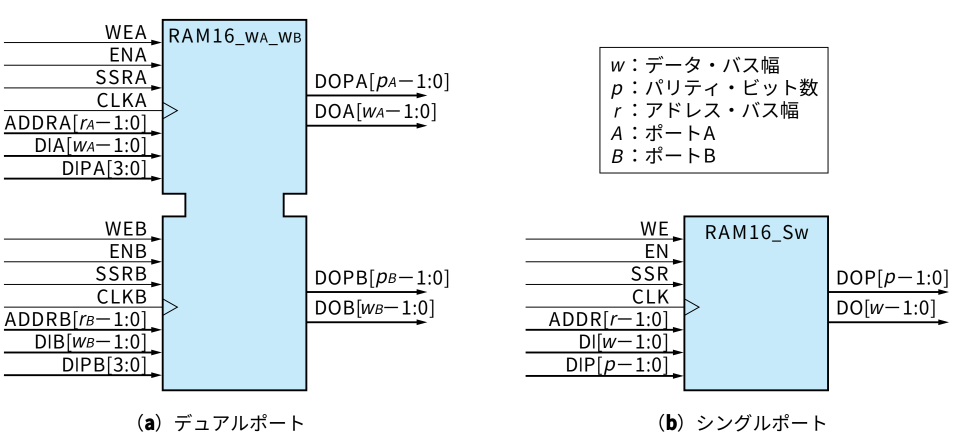


図4
Block RAMの使いかた
Block RAMは，独立した二つのアクセス・ポートを持つ．二つのポートは対称で交換可能なため，デュアルポート・メモリとしても，シングルポート・メモリとしても利用できる．

タを格納することができます．それぞれのBlock RAMはメモリの設定の変更によって，16Kビットはデータ領域に，残りの2Kビットはパリティもしくはデータ領域に割り当てられます．

Block RAMには，独立した二つのアクセス・ポート（ポートAおよびポートB）があります（図4(a)）．その構造は対称で，二つのポートは交換可能です．また，両ポートでデータの書き込み/読み出しを行うことができます．各メモリ・ポートは，それぞれのクロックやクロック・イネーブル，ライト・イネーブルに同期します．読み出しも同期で実行されるため，クロック・エッジとクロック・イネーブルが必要です．これらの機能の設定を変更することで，Block RAMは，さまざまなデータ幅とワード数のRAM，ROM，FIFO，大きなLUT，データ幅変換，サイクリック・バッファ，シフト・レジスタとして使用できます．

2）分散RAM

Spartan-3のCLBには，最大64ビットのシングルポートRAMまたは最大32ビットのデュアルポートRAMが含まれています．このRAMは，FPGA全体に分散して配置されることになるので，Block RAMと区別するため「分散RAM」と呼ばれています．

分散RAMは高速アクセスが可能です．アクセスする論理回路の近くに配置できるので，小さいデータ・バッファやFIFOメモリ，またはレジスタ・ファイルを実現するときに最適です．ただし，SLICELのLUTには分散RAMがありません．実際に使用する場合は，プリミティブでサポートされます．図5にRAM16x1Dプリミティブを使用した場合のSLICEMの実装例を示します．

● 四つの18ビット×18ビット乗算器を内蔵

Spartan-3ファミリには，最大104個の18ビット×18ビット乗算器が埋め込まれています．本誌付属のXC3S50は四つの乗算器を内蔵しています．この乗算器を使うことで，ディジタル信号処理回路の高速化を図れます．

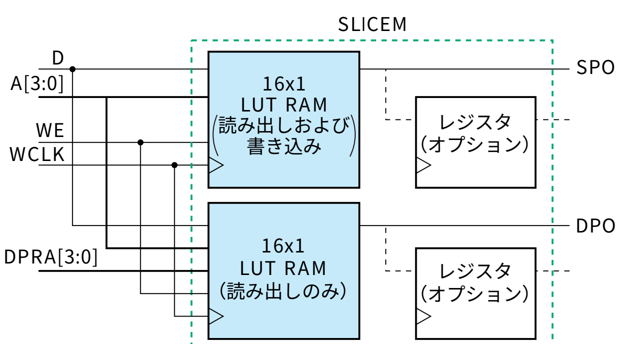


図5　分散RAMの使用例
RAM16x1Dプリミティブを使用している．

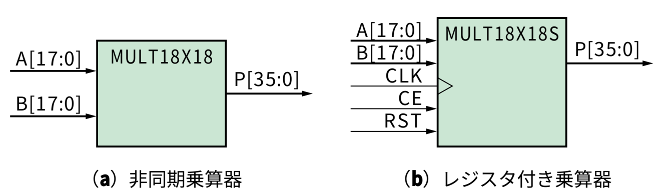


図6　乗算器のプリミティブ
MULT18X18（非同期乗算器）とMULT18X18S（レジスタ付きの乗算器）がある．

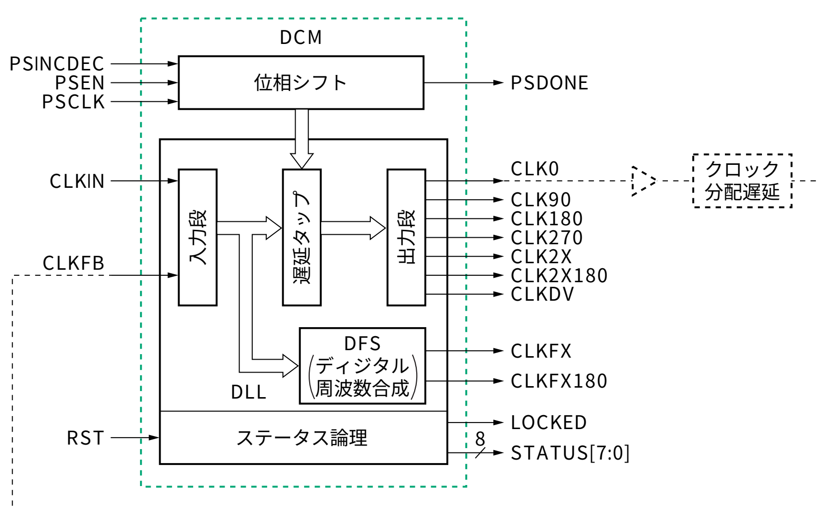


図7
DCMのブロック図
DLL（delay locked loop），DFS（ディジタル周波数合成），位相シフト，ステータス論理の四つのブロックで構成される．

乗算器は，18ビットまでの符号付き，または符号なしの乗算を高速かつ効率的に処理します．基本的な乗算機能に加えて，エンベデッド乗算器ブロックはシフタとして，あるいは絶対値や2の補数を生成するために使用できます．乗算器は，ほかの乗算器やCLBとカスケードに接続することで，より大規模で複雑な機能を作成できます．

乗算器を使用する場合，MULT18X18(非同期乗算器)とMULT18X18S(レジスタ付きの乗算器)の二つのプリミティブのうちのいずれかを使用します．これらの乗算器を図6に示します．

● DCMで複雑なクロックを生成

Spartan-3ファミリは，最大で四つのDLLを含んだDCMという機能を備えています．本誌付属のXC3S50には2個のDCMが内蔵されており，これはBlock RAM/乗算器列の上下に位置しています．

DCMの機能ブロック図を図7に示します．DCMを使用することによって，高度なクロック機能の設計が可能となります．入力クロックの周波数のてい倍，分周，デューティ比の調整，位相シフトを行って出力することもできます．

このような機能を持つDCMから，BUFGと呼ばれるFPGAの低スキュー・グローバル・クロック分散ネットワークに直接接続できます(図8)．

DCMは，大きく以下の四つのブロックに分けることができます．

1）DLL

DLLは，クロック出力信号の伝播遅延がゼロになるようにチップ上でスキュー調整を行います．

2）ディジタル周波数合成(DFS)

クロックをてい倍もしくは分周することにより，FPGA内部で所望の周波数を生成します．このクロックをFPGAの外部で使用することも可能です．ボード上に一つのクロック発振器があれば，さまざまなクロック周波数を作成することができることになります．ボード上の部品点数や放射ノイズ(EMI)の抑制にも効果があります．

3）位相シフト(PS)

クロックの位相を1/256周期単位で前後にシフトさせることができます．メモリ・インターフェースなどの用途に使用することができます．

4）ステータス論理

信号をモニタすることで，DCMのそれぞれの部位の状況を確認することができます．

DCMを使用する場合，FPGA開発ツール「ISE WebPACK」のアーキテクチャ・ウィザードを使用します[注1]．

● バンクごとに異なる電源を入力できるI/Oブロック

入出力ブロック(IOB)では，I/OピンとFPGAの内部論理の間でプログラマブルな双方向インターフェースを実現します．また，LVTTLやLVCMOSをはじめとする17種類のシングルエンドI/O規格と，LVDSなど6種類の差動I/O規格に対応します(表2)．I/O電源のV_{CCO}は，使用するI/O規格に合わせる必要がありますが，バンクごとに違った電源を入力できるので，いくつかの異なるI/O規格を混在させることも可能です．

I/O規格の設定には，ISE WebPACKが備えるPACE(ペース)という機能を使用します．PACEを使うことで，ピン配置やスルー・レート制御，駆動能力の選択なども選択できます．

設計の際，I/Oの速度や駆動能力などについて気をつけなければならない(とくに出力)のが，同時スイッチングの問題です．これにより，隣接する信号や電源に多くのノイ

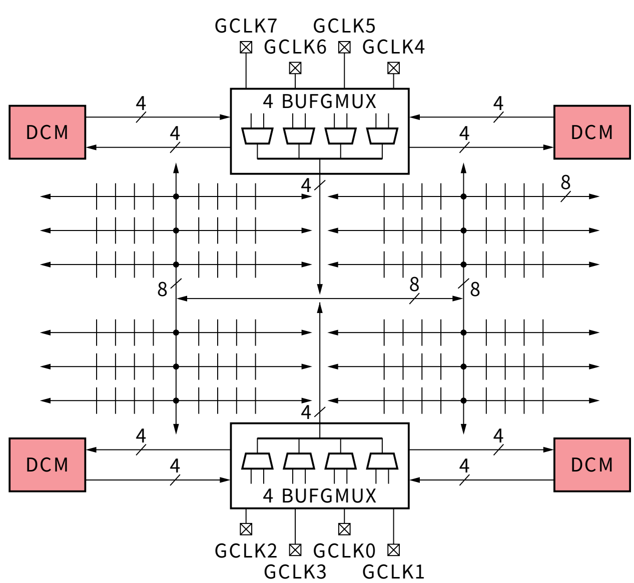


図8　クロック・ネットワーク
BUFGを介してDCMから低スキュー・グローバル・クロック分散ネットワークに接続される．

注1：ISE WebPACKは，米国Xilinx社が無償で提供しているFPGA開発ツールであり，本誌の付属CD-ROMに収録されている．基本的な使いかたについては，本特集の第4章で解説している．また，ユーザ・ガイドも付属CD-ROMに収録している．

	I/O規格	V_{CCO}(V)	クラス
シングルエンド	GTL (gunning transceiver logic)	N/A	Terminated
			Plus
	HSTL (high speed transceiver logic)	1.5	I
			III
		1.8	I
			II
			III
	LVCMOS (low voltage CMOS)	1.2	—
		1.5	—
		1.8	—
		2.5	—
		3.3	—
	LVTTL (low voltage transistor-transistor-logic)	3.3	—
	PCI (peripheral component interconnect)	3.0	33MHz
	SSTL (stub series terminated logic)	1.8	—
		2.5	I
			II
差動	LDT (ULVDS) (lightning data transport)	2.5	—
	LVDS (low voltage differential signaling)		Standard
			Bus
			Extended Mode
	LVPECL (low voltage positive emitter coupled logic)	2.5	—
	RSDS (reduced swing differential signaling)	2.5	—

表2　Spartan-3が対応するI/O規格

ズがのってしまうことがあります．このノイズの影響を考慮してピンを配置したり，ボード上にキャパシタを載せるなどの対策が必要です．例えば，相互の影響を避けたい信号をなるべく別のバンクに配置したり，V_{cco}の電源をバンクごとに分離するなどの対策が必要です．また，未使用ピンをV_{cc}/GNDなどに接続して固定出力とし，仮想的な電源・グラウンドとして使用することでノイズを抑えることもできます．

メモリ・インターフェースなどについては，最大322 Mbpsで動作する(-5グレードの場合)リファレンス・デザインをXilinx社のホームページからダウンロードして使用できます(http://www.xilinx.co.jp/products/design_resources/mem_corner/index.htm)．

I/O規格の中には，ディジタル・コントロールド・インピーダンス(DCI)を使用できるものがあります．通常，I/O部分に抵抗を配置することで，インピーダンスを伝送ラインの特性インピーダンスと一致させ，シグナル・インテグリティを損なう反射を防ぎます．しかし，I/Oピン数が増加したため，より多くの抵抗部品やボード・リソースが必要となっています．BGAなどのパッケージでは，ピンに近接して抵抗を配置できないこともあります．DCIを使用すれば，一つのバンクにつき一つ，この抵抗(リファレンス抵抗)を配置するだけでよく，そのバンクにほかの抵抗を追加する必要がなくなります．そのため，総部品数やボードの配線領域を減らせます．

表3　Spartan-3ファミリで使用可能なコンフィグレーション・デバイス

Spartan-3	容量	コンフィグレーション・デバイス	
		シリアル	パラレル
XC3S50	439,264	XCF01S	XCF08P
XC3S200	1,047,616	XCF01S	XCF08P
XC3S400	1,699,136	XCF02S	XCF08P
XC3S1000	3,223,488	XCF04S	XCF08P
XC3S1500	5,214,784	XCF08P	XCF08P
XC3S2000	7,673,024	XCF08P	XCF08P
XC3S4000	11,316,864	XCF16P	XCF16P
XC3S5000	13,271,936	XCF16P	XCF16P

2. Spartan-3の使いかた

Spartan-3を実際に動作させるにあたって必要なコンフィグレーションと電源について簡単に説明します．

● コンフィグレーション

Spartan-3デバイスは，SRAMベースのFPGAなので，電源投入直後は中身がカラの状態です．電源投入後，回路情報を設定したあとで動作が可能となります．この回路情報を設定する作業をコンフィグレーションと呼びます．

コンフィグレーションにはいくつかの方法があります．

1）専用のコンフィグレーション・デバイスを使用する

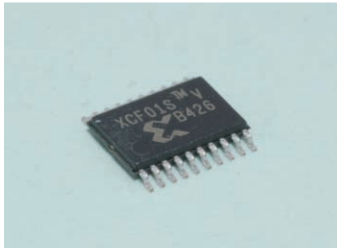
付属FPGA基板に実装されたXC3S50では，「XCF01S」という専用のコンフィグレーション・デバイス(**写真1**)を使用してシリアル・コンフィグレーションを行うのが一般的です(**表3**)．

2）専用のコンフィグレーション・ツールを使用する

「Parallel Cable IV」や「MultiPRO」という専用のコンフィグレーション・ツール(**写真2**)を用いて，パソコンなどからコンフィグレーションします．

3）外部メモリなどのデータを使用する

フラッシュ・メモリやCompactFlashなどにコンフィグレーション・データを記録しておき，それをマイコンや



▶ **写真1**
コンフィグレーション・デバイス
XC3S50で使用する「XCF01S」．



▶ **写真2**
コンフィグレーション・ツール
パソコンのパラレル・ポートに接続して使用する「Parallel Cable IV」．

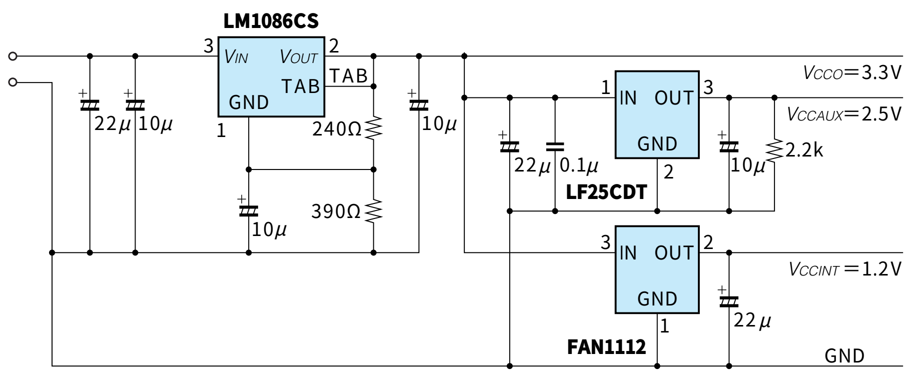


図9
Spartan-3向け電源回路の例
Xilinx社のSpartan-3 Starter Kitで用いられている電源回路．3.3Vは米国National Semiconductor社の「LM1086CS」で，2.5Vは米国STMicroelectronics社の「LF25CDT」で，1.2Vは米国Fairchild Semiconductor社の「FAN1112」で生成している．

CPLD（complex programmable logic device）などを使ってFPGAに書き込みます．コンフィグレーションのための制御の方法は，アプリケーション・ノートとして公開されています．

コンフィグレーション・デバイスやコンフィグレーション・ツールは，Xilinx社の代理店から入手できます注2．

● 電源

Spartan-3ファミリでは，大きく分けて3種類の電源端子があります．内部コア電圧のV_{ccint}，内部補助電圧のV_{ccaux}，I/O電圧のV_{cco}です．V_{ccint}は1.2V，V_{ccaux}は2.5Vです．V_{cco}は使用するI/O規格に合わせた電圧が必要になります．

これらの電源は，V_{cco}とV_{ccaux}を入力する前にV_{ccint}を10ms以内の時間で入力するように推奨されています．電源回路の例を図9に示します．

注2：Xilinx社の代理店は，メメックジャパン（TEL：03-5978-8201），東京エレクトロンデバイス（TEL：045-474-7089），新光商事（TEL：03-5721-2062），菱洋エレクトロ（TEL：03-3546-5011）の4社である．詳しくは，http://www.xilinx.co.jp/japan/support/shop/を参照．

コラム　Spartan-3Lについて

90nmプロセス技術は，リーク電流が多いと言われます．しかし，市場は低消費電力（電池寿命の延長）や熱対策といった問題の解決を要求しています．

Spartan-3Lは，90nmプロセスを最適化することで静止電力値を最大で66%抑えた製品ファミリです．また，ハイバネート・モード（I/Oバンクにのみ電源を供給し，そのほかの回路を電気的に切り離すモード）を使用することで，静止電力値を最大98%低減することが可能です．静止電力値を抑えることは，総消費電力を減らすことにつながります．

参考・引用*文献
(1) Spartan-3 FPGA Family:Complete Data Sheet, Xilinx, Aug. 2004.
(2) Spartan-3 Starter Kit Board User Guide, Xilinx, June 2004.

こんどう・わたる
ザイリンクス(株)